

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-137744

(P2000-137744A)

(43) 公開日 平成12年5月16日 (2000.5.16)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	サーチコード (参考)
G 0 6 F 17/50		G 0 6 F 15/60	6 5 6 B 5 B 0 4 6
H 0 1 L 21/82			6 5 6 D 5 F 0 6 4
		H 0 1 L 21/82	C

調査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平10-312818

(22) 出願日 平成10年11月4日 (1998.11.4)

(71) 出願人 000232047

日本電気エンジニアリング株式会社  
東京都港区芝浦三丁目18番21号

(72) 発明者 山下 茂

東京都港区芝浦三丁目18番21号 日本電気  
エンジニアリング株式会社内

(74) 代理人 100095407

弁理士 木村 尚 (外1名)

Pターム (参考) 5B048 AAG8 B403 J404 J405 J407

5F064 B803 B819 D025 EE47 EE54

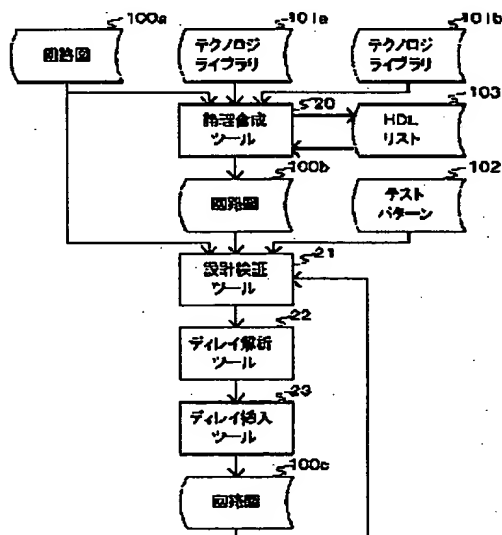
HH06 HH08 HH12 HH13 HH14

(54) 【発明の名称】 テクノロジ変換装置と方法、及び記録媒体

(57) 【要約】

【課題】 タイミングの変化が動作に影響する論理回路のテクノロジ変換を簡単にする。

【解決手段】 論理合成ツール20は、回路図をレジスタトランスファレベルのハードウェア記述言語で記載した回路リストとし、新しいテクノロジを納めたテクノロジライブラリを用いて、新しいテクノロジの回路図を作成する。設計検証ツール21は、テストパターンを用いて、元の回路図で示される回路と、新しい回路図で示される回路とで出力値が異なる素子を特定する。ディレイ解析ツール22は、特定した素子の入力信号パスの伝搬遅延時間を求め、2つの回路図で示される回路の対応するパスでの伝搬遅延時間の差を計算する。ディレイ挿入ツール23は、計算した伝搬遅延時間の差以上の伝搬遅延時間を有するディレイゲートを新しい回路図のパスに挿入してタイミングを調整する。



Best Available Copy

(2)

特開2000-137744

1

## 【特許請求の範囲】

【請求項1】回路図を論理合成してハードウェア記述言語で記載の回路リストを作成するリスト作成手段と、前記リスト作成手段が作成した回路リストを論理合成して第2の回路図を作成する回路作成手段と、を備える論理合成手段と、

前記回路図と前記第2の回路図とで、互いに出力値が一致しない素子を特定する素子特定手段と、

前記素子特定手段が特定した素子の入力信号バスにおける伝搬遅延時間を求め、前記回路図内の入力信号バスと前記第2の回路図内の入力信号バスとの伝搬遅延時間差を計算する計算手段と、

前記計算手段が計算した該伝搬遅延時間差以上の伝搬遅延時間を有するディレイゲートを前記第2の回路図内のバスに挿入するゲート挿入手段と、

からなり、タイミングの変化を考慮して回路のテクノロジーを変換できることを特徴とするテクノロジー変換装置。

【請求項2】前記リスト作成手段は、レジスタトランスファレベルのハードウェア記述言語で記述した回路リストを作成する手段を備える、ことを特徴とする、請求項1に記載のテクノロジー変換装置。

【請求項3】前記素子特定手段は、テストパターンを用いて、前記回路図で示される回路と前記第2の回路図で示される回路とで、各素子の出力値をシミュレーションにより求めて比較することにより、出力値が異なる素子を特定する手段を備える、ことを特徴とする請求項1又は2に記載のテクノロジー変換装置。

【請求項4】論理合成によりテクノロジー変換した回路のタイミングをディレイゲートの挿入により調整するテクノロジー変換方法であって、

回路図と、該回路図を論理合成によりテクノロジー変換した第2の回路図とで、出力値の一致しない素子を特定し、特定した素子の入力信号バスの伝搬遅延時間を求めて該回路図における入力信号バスと該第2の回路図における入力信号バスとの伝搬遅延時間差を計算し、該伝搬遅延時間差以上の伝搬遅延時間を持つディレイゲートを該第2の回路図内のバスに挿入することにより、論理合成で生じた回路のタイミング変化を調整できることを特徴とするテクノロジー変換方法。

【請求項5】コンピュータを、回路図を論理合成してハードウェア記述言語で記載の回路リストを作成するリスト作成手段と、前記リスト作成手段が作成した回路リストを論理合成して第2の回路図を作成する回路作成手段と、を備えた論理合成手段、前記回路図と前記第2の回路図とで、互いに出力値が一致しない素子を特定する素子特定手段、

前記素子特定手段が特定した素子の入力信号バスの伝搬遅延時間を求め、前記回路図内の入力信号バスと前記第2の回路図内の入力信号バスとの伝搬遅延時間差を計算する計算手段、

2

前記計算手段が計算した該伝搬遅延時間差以上の伝搬遅延時間を有するディレイゲートを挿入するゲート挿入手段、

として機能させるためのプログラムを記録した機械読み取り可能な記録媒体。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、論理合成ツールを用いて回路のテクノロジーを変換するテクノロジー変換装置とテクノロジー変換方法に関し、特に、タイミング変化により生じる回路の誤動作を修正できるテクノロジー変換装置とテクノロジー変換方法に関する。

【0002】

【従来の技術】従来より、論理回路の設計では、既存の回路のテクノロジーを変換して、論理動作が同一で、物理的特性（消費電力、発熱量等）を改善した新たな回路を作成する場合に、論理合成ツールを使った方法を用いることがある。この方法は、論理合成ツールが、例えばVHDLといった、HDL（ハードウェア記述言語）で記載された回路リストと、新たなテクノロジーを所有するテクノロジーライブラリとから、回路図を自動的に生成することにより回路のテクノロジーを変換するものである。この方法は、論理合成ツールが回路図を作成するときに、冗長な回路を圧縮し、回路素子数を減らして同一の機能を実現する回路を作成しようとするので、より小さい面積でより高速に動作する回路を自動的に作成することができる。回路内の伝搬遅延時間が変化しても動作に影響しない通常の同期回路においては、回路中のフリップ・フロップが同一クロックで一斉に動作するため、ゲートの論理圧縮等によるタイミングの変化を考慮する必要がなく、論理合成ツールを用いてテクノロジーを変換できる。

【0003】

【発明が解決しようとする課題】上記従来技術では、伝搬遅延時間が問題となる高速動作の同期回路や、クロック信号のタイミングが素子ごとに一致しない非同期回路を論理合成すると、ゲートの論理圧縮等による伝搬遅延時間の変化が、回路の動作に影響を与える場合がある。このため、非同期回路等では、回路図エディタを用いた手作業でテクノロジーを変換し、非常に手間と時間がかかっていた。

【0004】本発明は、上記実状に鑑みてなされたもので、伝搬遅延時間の変化により動作が変わる回路のテクノロジー変換において、必要とされる労力を軽減し、簡単にテクノロジーを変換できるテクノロジー変換装置と方法を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明の第1の観点に係るテクノロジー変換装置は、回路図を論理合成してハードウェア記述言語で記載の回路リストを作成するリスト作

(3)

特開2000-137744

3

4

成手段と、前記リスト作成手段が作成した回路リストを論理合成して第2の回路図を作成する回路作成手段と、を備える論理合成手段と、前記回路図と前記第2の回路図とで、互いに出力値が一致しない素子を特定する素子特定手段と、前記素子特定手段が特定した素子の入力信号バスにおける伝搬遅延時間を求め、前記回路図内の入力信号バスと前記第2の回路図内の入力信号バスとの伝搬遅延時間差を計算する計算手段と、前記計算手段で計算した該伝搬遅延時間差以上の伝搬遅延時間を有するディレイゲートを前記第2の回路図内のバスに挿入するゲート挿入手段と、からなり、タイミングの変化を考慮して回路のテクノロジーを変換できることを特徴とする。

【0006】この構成において、テクノロジー変換装置は、論理合成によりテクノロジーを変換し、それにより生じた回路のタイミング変化を解析してディレイゲートを挿入する。従って、論理合成時に冗長回路の圧縮などにより生じたタイミングの変化を修正することができる。これにより、伝搬遅延時間の変化により動作が変わる回路のテクノロジーを簡単に変換することができる。

【0007】また、前記リスト作成手段は、レジスタトランスファレベルのハードウェア記述言語で記載した回路リストを作成する手段を備えることが望ましい。これにより、リスト作成手段は、テクノロジーに依存しない回路リストを作成できる。

【0008】また、前記素子特定手段は、テストパターンを用いて、前記回路図で示される回路と前記第2の回路図で示される回路とで、各素子の出力値をシミュレーションにより求めて比較することにより、出力値が異なる素子を特定する手段を備えることが望ましい。

【0009】本発明の第2の観点に係るテクノロジー変換方法は、論理合成によりテクノロジー変換した回路のタイミングをディレイゲートの挿入により調整するものであり、回路図と、該回路図を論理合成によりテクノロジー変換した第2の回路図とで、出力値の一致しない素子を特定し、特定した素子の入力信号バスの伝搬遅延時間を求めて該回路図における入力信号バスと該第2の回路図における入力信号バスとの伝搬遅延時間差を計算し、該伝搬遅延時間差以上の伝搬遅延時間を持つディレイゲートを該第2の回路図内のバスに挿入することにより、論理合成で生じる回路のタイミング変化を調整できることを特徴とする。

【0010】本発明の第3の観点に係る記録媒体は、コンピュータを、回路図を論理合成してハードウェア記述言語で記載の回路リストを作成するリスト作成手段と、前記リスト作成手段が作成した回路リストを論理合成して第2の回路図を作成する回路作成手段と、を備えた論理合成手段、前記回路図と前記第2の回路図とで、互いに出力値が一致しない素子を特定する素子特定手段、前記素子特定手段が特定した素子の入力信号バスの伝搬遅延時間を求め、前記回路図内の入力信号バスと前記第2

の回路図内の入力信号バスとの伝搬遅延時間差を計算する計算手段、前記計算手段が計算した該伝搬遅延時間差以上の伝搬遅延時間を有するディレイゲートを挿入するゲート挿入手段、として機能させるためのプログラムを記録し、機械読み取りが可能であることを特徴とする。

【0011】

【発明の実施の形態】以下に、図面を参照して、この発明の実施の形態に係るテクノロジー変換装置を詳細に説明する。この発明の実施の形態に係るテクノロジー変換装置10は、論理合成によりテクノロジーを変換して生じるタイミングの変化を、ディレイゲートの挿入により調整するためのものであり、図1に示すように、記憶部1と、入力部2と、出力部3と、処理部4とから構成される。

【0012】記憶部1は、半導体メモリ、磁気ディスク装置等で構成されるデータ記憶部であり、回路図、テクノロジーライブラリ、回路の機能をHDL（ハードウェア記述言語）で記載したHDLリスト等を記憶する。なお、記憶部1は、フロッピーディスク、MO（光磁気ディスク）等といった、テクノロジー変換装置10で読み取りが可能な記録媒体を含む。

【0013】入力部2は、キーボード、マウス等で構成され、このテクノロジー変換装置10への命令を入力する。

【0014】出力部3は、CRT（カソードレイチューブ）ディスプレイ等で構成される結果表示部であり、処理部4が処理を実行した結果を表示する。

【0015】処理部4は、論理合成ツール20と、設計検証ツール21と、ディレイ解析ツール22と、ディレイ挿入ツール23とを備える。また、処理部4は、図2に示すように、回路図100a~100cと、テクノロジーライブラリ101a、101bと、テストパターン102と、HDLリスト103とを入出力データとする。

【0016】論理合成ツール20は、通常の論理回路設計に用いられる回路設計ツールであり、テクノロジーを変換する前の第1の回路図100aを論理合成してRTL（レジスタトランスファレベル）のHDLリスト103を作成し、また、HDLリスト103を論理合成し、タイミングに保証のない第2の回路図100bを作成する。

【0017】論理合成ツール20は、HDLリスト103を作成するときに、第1の回路図100aと共に、その回路で使われているテクノロジーを所有したテクノロジーライブラリ101aを読み取り、回路の機能をRTLのHDLで記載したHDLリスト103を作成する。また、論理合成ツール20は、第2の回路図100bを作成するときに、HDLリスト103と共に、新たなテクノロジーを所有する第2のテクノロジーライブラリ101bを読み取り、HDLリスト103に従って、回路素子又は回路パターンを配置して第2の回路図100bを作成する。

(4)

特開2000-137744

5

【0018】設計検証ツール21は、テストパターン102を用いて出力期待値と一致しない素子を特定する論理テストツールであり、論理合成ツール20又はディレイ挿入ツール23から受けた回路図で示される回路が設計通り動作するか否かを検証する。

【0019】設計検証ツール21は、論理合成ツール20から第2の回路図100bを受けると記憶部1から第1の回路図100aとテストパターン102を取り出して、両回路図で示される回路の各素子（フリップ・フロップ）の出力値をシミュレーションによって求める。設計検証ツール21は、第1の回路図100aと第2の回路図100bとで素子（フリップ・フロップ）の出力値を比較し、出力値が異なる素子（フリップ・フロップ）を見付けると、出力異常素子情報を作成し、第1の回路図100aと第2の回路図100bと共にディレイ解析ツール22に送る。設計検証ツール21は、第1の回路図100aと第2の回路図100bとで出力値の異なる素子（フリップ・フロップ）を見付けなければ、第2の回路図100bを記憶部1に格納する。設計検証ツール21は、ディレイ挿入ツール23から後述するタイミング調整後の第3の回路図100cを受けると、上記処理と同様の処理を第3の回路図100cについて実行する。

【0020】ディレイ解析ツール22は、後述するディレイ挿入ツール23が挿入するディレイゲートの伝搬遅延時間を計算する伝搬遅延時間計算ツールであり、素子の入力信号パスの伝搬遅延時間を測定してゲート挿入情報を作成する。

【0021】ディレイ解析ツール22は、設計検証ツールから2つの回路図（第1の回路図100aと、第2の回路図100b又は第3の回路図100c）と出力異常素子情報を受け、出力異常素子情報が示す素子（フリップ・フロップ）の入力信号パスにおける伝搬遅延時間を計算する。ディレイ解析ツール22は、計算した2つの回路図の対応する入力信号パスにおける伝搬遅延時間の差を求め、求めた値を出力異常素子情報に付加してゲート挿入情報とし、第2の回路図100b又は第3の回路図100cと共にディレイ挿入ツール23に送る。

【0022】ディレイ挿入ツール23は、回路のタイミングを調整するタイミング調整ツールであり、ディレイ解析ツール22から受けた出力異常素子情報をもとに、設計者が入力部2から入力したディレイ挿入箇所にディレイゲートを挿入して回路のタイミングを調整する。

【0023】ディレイ挿入ツール23は、ディレイ解析ツール22から第2の回路図100b又は第3の回路図100cとゲート挿入情報を受けると、ゲート挿入情報が示す素子の入力信号パスを出力部3に表示する。ディレイ挿入ツール23は、記憶部1に格納してある第2のテクノロジーライブラリ101bから、ゲート挿入情報が示す伝搬遅延時間の差よりも大きな伝搬遅延時間を持つ

5

ディレイゲートを取り出し、ユーザが入力部2より指示した位置に挿入してタイミングを調整した第3の回路図100cを作成する。ディレイ挿入ツール23は、第3の回路図100cを設計検証ツール21に送る。

【0024】次に、図3を参照して、このテクノロジー変換装置10の動作を説明する。

【0025】まず、設計者は、テクノロジーを変換する第1の回路図100aと、第1の回路図100aで使われているテクノロジーを納めた第1のテクノロジーライブラリ101aと、新しいテクノロジーを納めた第2のテクノロジーライブラリ101bと、テストパターン102とを用意し、記憶部1に格納する等してテクノロジー変換装置10に供給する。

【0026】設計者は、入力部2から、テクノロジー変換装置10に第1の回路図100aのテクノロジーを変換するよう指示する。テクノロジー変換装置10は、入力部2から指示を受けて、図3のフローチャートに示す処理を開始する。

【0027】テクノロジー変換装置10は、テクノロジーを変換する旨の指示にตอบสนองし、第1の回路図100aと、第1のテクノロジーライブラリ101aと、第2のテクノロジーライブラリ101bと、テストパターン102が記憶部1に格納されているか確認する（ステップS100）。これらの内で不足しているものがある場合には、出力部3にその旨を表示する等して、設計者に通知する。

【0028】論理合成ツール20は、記憶部1から第1の回路図100aと第1のテクノロジーライブラリ101aとを取り出して論理合成し、RTLのHDLリスト103を作成する（ステップS101）。このHDLリスト103は、第1の回路図100aで示される回路の機能をRTLで記述したもので、論理ゲートレベルの記述よりも抽象度が高いため、回路のテクノロジーには依存しない。

【0029】論理合成ツール20は、記憶部1から新しいテクノロジーを所有する第2のテクノロジーライブラリ101bを取り出し、これを用いてHDLリスト103を論理合成して第2の回路図100bを作成する（ステップS102）。

【0030】これにより、第1の回路図100aで示される回路のテクノロジーが変換され、消費電力、温度特性等が改善されたテクノロジーを用いた第2の回路図100bが作成される。また、論理合成ツール20は冗長回路を圧縮するので、第2の回路図100bで示される回路のタイミングは、第1の回路図100aで示される回路のタイミングとは異なったものとなる。

【0031】論理合成ツール20は、第2の回路図100bを設計検証ツール21に送る。

【0032】設計検証ツール21は、論理合成ツール20から論理合成後の第2の回路図100bを受けると、

(5)

特開2000-137744

7

8

記憶部1から第1の回路図100aとテストパターン102を取り出す。設計検証ツール21は、第1の回路図100aで示される回路と第2の回路図100bで示される回路とにテストパターン102で示される信号を入力した場合のシミュレーションを実行し(ステップS103)、両回路で出力値が一致するか否かを判別する(ステップS104)。

【0033】設計検証ツール21は、出力値が一致すると判別すると(ステップS204で一致)、論理合成ツール20が作成した第2の回路図100bを記憶部1に格納して保存し(ステップS105)、テクノロジー変換処理を終了する。一方、設計検証ツール21は、出力値が一致しないと判別すると(ステップS104で不一致)、両回路で出力値が異なる素子を特定し(ステップS106)、その素子を示す出力異常素子情報を作成して第1の回路図100a、第2の回路図100bと共にディレイ解析ツール22に渡す。

【0034】ディレイ解析ツール22は、設計検証ツール21から受けた出力異常素子情報に示された素子の、第1の回路図100aにおける入力信号パスの伝搬遅延時間と、第2の回路図100bにおける入力信号パスの伝搬遅延時間とをシミュレーションにより求める(ステップS107)。

【0035】ディレイ解析ツール22は、第1の回路図100aで伝搬遅延時間を測定した信号パスと、それに対応する第2の回路図100bの信号パスとにおける伝搬遅延時間の差を取り、得た値をディレイ挿入ツール23が挿入するディレイゲートの伝搬遅延時間とする(ステップS108)。

【0036】ディレイ解析ツール22は、ステップS108で求めた伝搬遅延時間を出力異常素子情報に付加してゲート挿入情報とし、第2の回路図100bと共にディレイ挿入ツール23に送る。

【0037】ディレイ挿入ツール23は、ディレイ解析ツール22から第2の回路図100bとゲート挿入情報を受けて、ゲート挿入情報に示された第2の回路図100b内の素子の入力信号パスを出力部3に表示し、設計者にディレイゲートを挿入する位置を尋ねる。設計者が、入力部2から、ディレイゲート挿入位置を指定すると(ステップS109)、ディレイ挿入ツール23は、記憶部1に格納された第2のテクノロジーライブラリ101bから、ゲート挿入情報に従ったディレイゲートを取り出して挿入する。これにより、ディレイ挿入ツール23は、タイミングを調整した第3の回路図100cを作成する(ステップS110)。

【0038】ディレイゲート挿入ツール23は、第3の回路図100cを設計検証ツール21に渡し、処理はステップS103に戻り、第1の回路図100aと出力値が一致するまで上記の処理を繰り返す。

【0039】これにより、論理合成ツール20が論理圧

縮することにより生じたタイミングの変化を修正し、論理合成前後の論理回路で出力値が一致するようにしたテクノロジー変換が可能となる。

【0040】例えば、テクノロジー変換装置10が、図4(a)に示す回路図150で示される回路のテクノロジーを変換する場合は、まず、論理合成ツール20が、図4(b)に示す回路図151を作成する。ここで、図4(b)のフリップ・フロップ302、303は、それぞれ、フリップ・フロップ300、301の消費電力、温度特性、動作速度等が改善されたものである。また、回路図150のANDゲート200、201は論理圧縮されて回路図151のANDゲート202となる。

【0041】次に、設計検証ツール21が、回路図150、151の各フリップ・フロップの出力を調べ、例えば、図5に示すテストパターン信号を両回路図で示される回路の入力端子DATA1~3、CLK1、2に入力した場合についてのシミュレーションを実行する。

【0042】図5に示すように、フリップ・フロップ301の入力端D1への入力信号は、CLK1がLOWからHIに変化して時間T1経過後にLOWからHIに変化する一方で、フリップ・フロップ303の入力端D3の入力信号は、時間T2(>T1)経過後にLOWからHIに変化する。これは、フリップ・フロップ300の出力端Q0とフリップ・フロップ301の入力端D1の間には、ANDゲートが2つあるのに対し、フリップ・フロップ302の出力端Q2とフリップ・フロップ303の入力端D3との間には、ANDゲートが1つしかないことによる。ここで、CLK2は、CLK1がLOWからHIに変化して時間T3経過後にLOWからHIに変化し、 $T1 < T3 < T2$ であるので、OUT1とOUT2とは、互いに異なる値をとることになる。従って、設計検証ツール21は、フリップ・フロップ301とフリップ・フロップ303が出力値の異なる素子である旨の出力異常素子情報を作成する。

【0043】次に、ディレイ解析ツール22が、出力異常素子情報に従って、図4(a)のフリップ・フロップ301と図4(b)のフリップ・フロップ303の入力信号パスの伝搬遅延時間を調べ、両回路内の対応するパスでの伝搬遅延時間の差を求める。ディレイ解析ツール22は、図4(b)のフリップ・フロップ302の出力端Q2とフリップ・フロップ303の入力端D3との間に、 $T2 - T1$ の伝搬遅延時間を持ったディレイゲートを挿入すべき旨を示すゲート挿入情報を作成する。

【0044】ディレイ挿入ツール23は、ゲート挿入情報に従って、回路図151のフリップ・フロップ303の入力信号パスを出力部3に表示して、設計者にディレイゲートを挿入する位置を尋ねる。

【0045】例えば、設計者が、入力部2より、図4(b)のフリップ・フロップ302の出力端Q2とANDゲート202の入力端子との間を指定すると、ディレ

(5)

特開2000-137744

9

イ挿入ツール23は、そこにディレイゲートを挿入し、図4(c)に示す回路図152を作成する。ここで、図4(c)のフリップ・フロップ304、305及びANDゲート203は、それぞれ図4(b)のフリップ・フロップ302、303及びANDゲート202と同一のテクノロジーである。ディレイ挿入ツール23は、回路図152を設計検証ツール21に渡す。

【0046】設計検証ツール21は、回路図152で示される回路と回路図150で示される回路との出力値が一致することから、回路図152を記憶部1に格納する。

【0047】以上説明したように、この実施の形態によれば、テクノロジー変換装置10が、論理合成によりテクノロジーを変換した回路で生じるタイミングの変化を、ディレイゲートを挿入することにより調整する。従って、非同期回路等のように、伝搬遅延時間の変化により動作が変わる回路を、論理合成ツールで論理合成してテクノロジーを変換しても、変換前の回路と出力値を同じにすることができる。

【0048】上記実施の形態では、設計者がディレイゲートを挿入する位置を指定するものとして説明したが、これに限定されず、例えば、ディレイ挿入ツール23が、自動的にディレイゲートを挿入するようにしてもよい。この場合は、ディレイ挿入ツール23に制約を与え、ゲート挿入情報に示されたパスのどこにディレイゲートを挿入しても回路の動作が同じであるときは、最も出力端に近いところにディレイゲートを挿入させる等すればよい。

【0049】この発明は、上記実施の形態に限定されず、種々の変形及び応用が可能である。例えば、上述の構成及び動作フローは一例にすぎず任意に変更可能である。例えば、設計検証ツール21で出力値が一致した第3の回路100cを記憶部1に保存するときに、ディレイゲートを含めた形で論理合成ツール20により論理合成し、タイミング制約を持つRTLのHDLリストとしてから保存する等してもよい。これにより、他の回路を論理合成により設計する場合に、第3の回路100cを、期待値不一致の出ない回路として利用することができる。

【0050】このテクノロジー変換装置は専用の装置によらず、通常のコンピュータを用いても実現可能である。即ち、コンピュータに、上述の各処理を実行させるためのプログラムを記録媒体（フロッピーディスク、CD-ROM、MO、ROM等）に格納して配布し、これをコンピュータにインストールしてOS（オペレーティングシステム）上で、動作させることにより、コンピュータ

10

を上述のテクノロジー変換装置として機能させることが可能である。

【0051】

【発明の効果】以上の説明のように、本発明は、論理合成ツールを用いて論理合成した論理回路に対し、ディレイゲートを挿入することにより、テクノロジー変換前後での出力値の不一致を解消できるので、伝搬遅延時間の変化を考慮しなければならない回路におけるテクノロジーを簡単に変換することができる。

10 【図面の簡単な説明】

【図1】本発明の実施の形態に係るテクノロジー変換装置の構成を示す概念図である。

【図2】本発明の実施の形態に係るテクノロジー変換装置の処理部と入出力データとの関係図である。

【図3】本発明の実施の形態に係るテクノロジー変換装置が行う処理を説明するフローチャートである。

【図4】本発明の実施の形態に係るテクノロジー変換装置の実施例を説明するための回路図である。

20 【図5】本発明の実施の形態に係るテクノロジー変換装置の実施例を説明するためのタイミング図である。

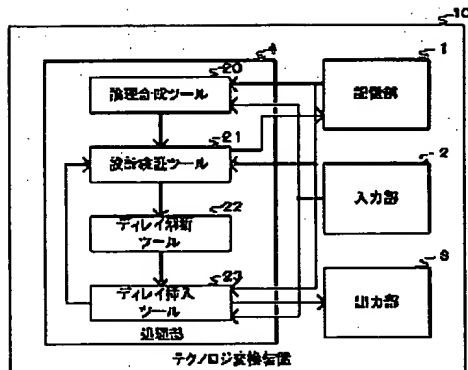
【符号の説明】

1	記憶部
2	入力部
3	出力部
4	処理部
10	テクノロジー変換装置
20	論理合成ツール
21	設計検証ツール
22	ディレイ解析ツール
23	ディレイ挿入ツール
100a~100c, 150~152	回路図
101a, 101b	テクノロジー
イブラリ	
102	テストパターン
200~203	ANDゲート
300~305	フリップ・フロップ
350	ディレイゲート

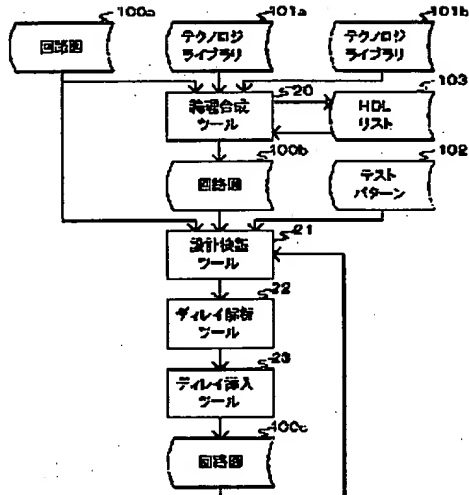
(7)

特開2000-137744

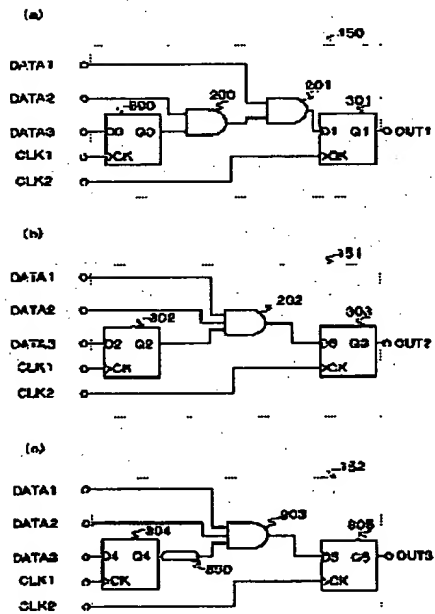
【図1】



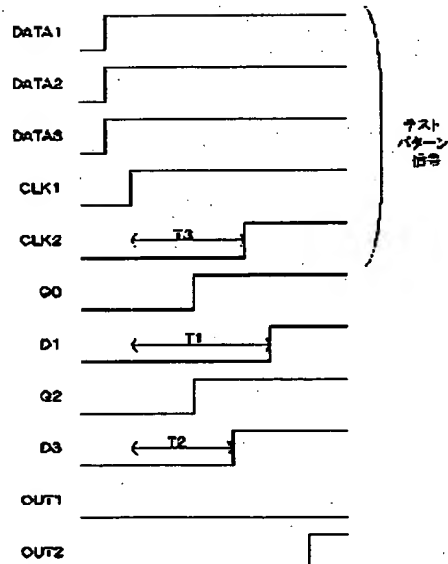
【図2】



【図4】



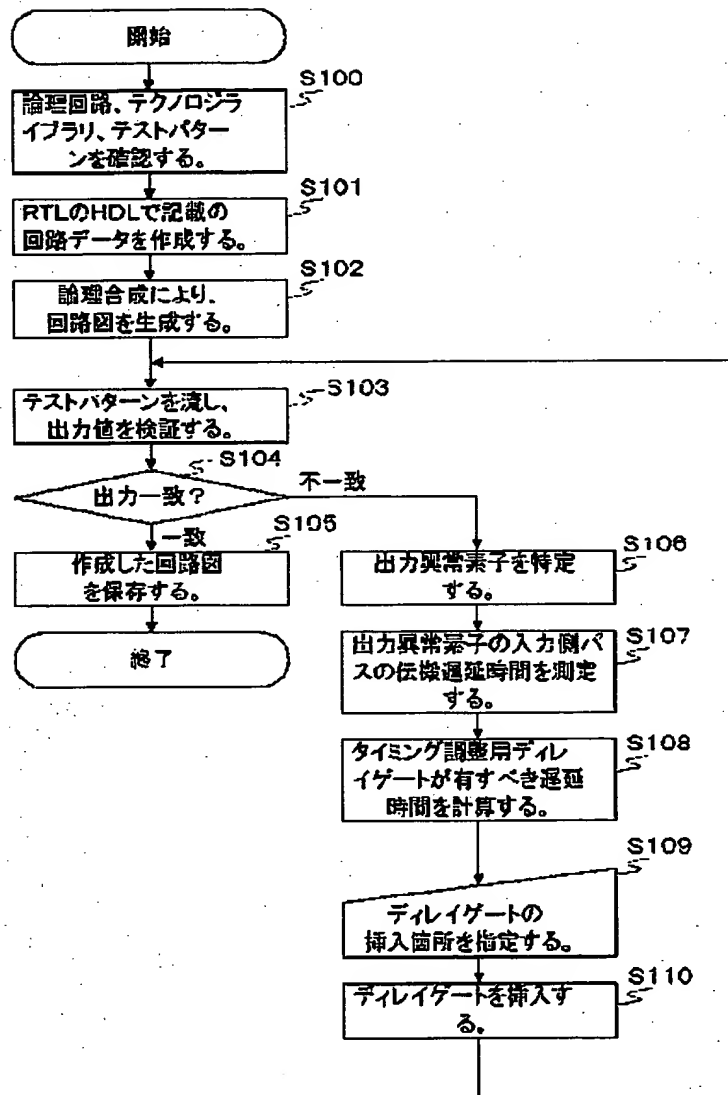
【図5】



(8)

特開2000-137744

【図3】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**